

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232971

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H03M 13/12

(21)Application number : 08-036294

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 23.02.1996

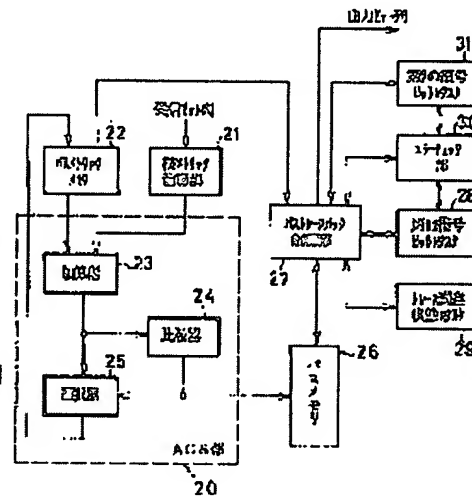
(72)Inventor : IWATA JUN
ABE MASAMI

(54) VITERBI DECODING METHOD AND VITERBI DECODING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the accuracy of an output composite signal without a complicated configuration by executing a path trace(PT) whose final arrival state is taken as a start state and outputting its synthesized signal as an object signal when a decoded signal obtained by the PT from a state has an error and the final state and the start state of the PT differ from each other.

SOLUTION: An ACS arithmetic processing is repeatedly executed, a path is selected and a path metric(PM) is updated and a path selection signal is stored in a path memory 26. When the ACS arithmetic operation is finished, a maximum likelihood state S_s is recognized and a path trace back(TB) is conducted to obtain a decoded bit string A. Furthermore, an arrival state S_r at the end of TB is obtained. An error in the decoded bit string A is checked to discriminate the presence of error. When any error is in existence in the array A, the states S_s and S_r are compared and when both are coincident, an output bit is selected. On the other hand, when no error is in existence, whether or not the output bit string A or B is used or they are used after correction or the like is decided and an output bit string is sent.



LEGAL STATUS

[Date of request for examination] 21.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3233847

[Date of registration] 21.09.2001

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232971

(43) 公開日 平成9年(1997)9月5日

(51) Int. Cl.⁶

H03M 13/12

識別記号

片内整理番号

P I

H03M 13/12

技術表示箇所

審査請求 未請求 請求項の数4 OL (全10頁)

(21) 出願番号 特願平8-36294

(22) 出願日 平成8年(1996)2月23日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 岩田 純

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 阿部 政美

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

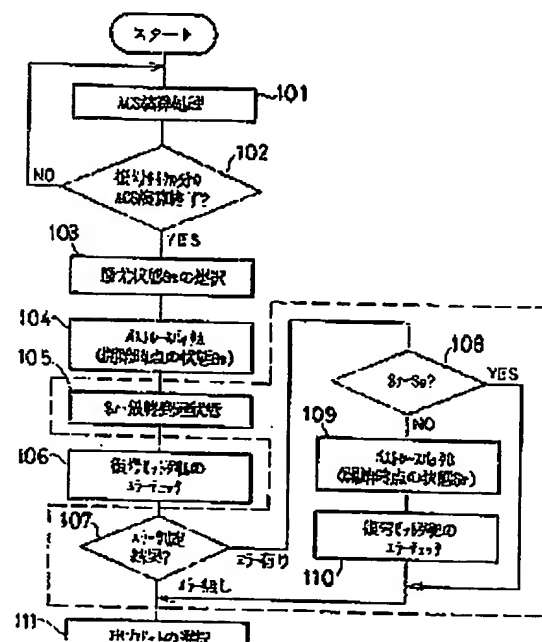
(74) 代理人 弁理士 工藤 宣幸

(54) 【発明の名称】 ビタビ復号方法及びビタビ復号回路

(57) 【要約】

【課題】 処理時間を徒に長くしたり、構成を徒に複雑にしたりすることなく、巡回入力量込み込み符号でなる受信信号に対する最終的に出力された復号信号の精度（誤り率）を向上させる。

【解決手段】 本発明では、ある状態を開始状態としたバストレースによって得られた復号信号にエラーがあり、そのバストレースでの最終的な到達状態とその開始状態とが異なるときに、最終的な到達状態を開始状態としたバストレースを再度実行する。そして、この実行による復号信号をも候補として最終的に出力する復号信号を決定する。



(3)

特開平9-232971

3

= 1 が入力された場合は、点線に沿って次の時刻 $t+1$ の状態に移り、この点線上の2ビット信号 $X0$ 、 $X1$ が符号回路から出力される。

【0008】図3は、初期時刻 ($t=0$) で状態が状態0である状況から、「0101100」という入力ビット列が入力されたときの符号回路の内部状態 ($BF1$ 、 $BF0$) と符号回路からの出力ビット $X0$ 、 $X1$ を示す状態遷移図である。すなわち、符号回路における状態遷移は、初期時刻での状態 (初期状態) と入力ビット列とで定めるパス上で変化する。従って、符号回路において、最も確からしいパスを決定することにより、入力ビット列を再生することができる。

【0009】ところで、以上のように複数の1ビットバッファメモリを用いた畳み込み符号回路においては、出力ビットを送出し始めるための符号回路の内部初期状態 (各バッファメモリの内容) を定められていることが多い。

【0010】例えば、北米におけるTDMA方式を採用しているデジタル移動通信システムにおいて、音声信号の伝送では、5ビットあるバッファメモリの全てを「0」とした状態を初期状態としており、また、FACH信号と呼ばれる制御信号の伝送では、図4に示すように、送信しようとする入力ビット列 $U[0] \sim U[n-1]$ のバッファメモリ数 (5) に等しい先頭側の入力ビット列 $U[0] \sim U[4]$ が5ビットのバッファメモリにセットされた状態を初期状態としている。後者の場合は、この初期状態から、入力ビット列 $U[5] \sim U[n-1]$ を順次符号回路に入力させ、その後、先頭側の入力ビット列 $U[0] \sim U[4]$ も再度符号回路に入力させ、これらの入力ビット列 $U[5] \sim U[n-1]$ 、 $U[0] \sim U[4]$ の各ビットが符号回路に入力される毎に出力ビットを送出するようになっている。

【0011】なお、このように入力ビット列を巡回的に使用する畳み込み符号は、巡回入力畳み込み符号と呼ばれている。

【0012】上述した図3に示した状態遷移図は、初期時刻と最終時刻との状態が等しいので、見方を変えれば、入力ビット列「0001011」から巡回入力畳み込み符号 (出力ビット列) を生成する際の状態遷移図にもなっている。

【0013】上述のような畳み込み符号に対する最尤復号法としては、ビタビ復号方式 (ビタビ復号アルゴリズム) がよく知られている。ビタビ復号方式は、基本的には、トレリス図上で取り得るビット列と受信ビット列 (上述した $X0$ 、 $X1$ に対応する) とを照合し、復号時に最も誤りの少ないパス (最尤パス) を選択することで送信符号を推定するアルゴリズムである。

【0014】ところで、ビタビ復号方式は、符号化の際に、

4

【0015】パスの選択を行なうときには、メトリックと呼ばれる基準値の比較を行なう。メトリックには、各時刻の各状態で受信ビットに対応して計算された枝メトリックと、この枝メトリックの累積であるパスメトリックとがあり、各時刻においてある状態に達するパスのうち、より尤度 (確からしさ) の大きいパスを選択し、そのパスのパスメトリック値がその状態の新たなパスメトリック値として更新される。

【0016】この各時刻でのパスの選択、パスメトリック値の更新等の処理はACS (Add-Compare-Select; 加算-比較-選択) 演算処理と呼ばれ、このACS演算処理毎に、各状態について、その状態に達するどのパスを選択したかという情報 (パス選択信号) がバスマメモリに記憶される (ステップ201、202)。

【0017】ある定められた復号サイクル分の受信ビット列 (多くの場合、全ての受信ビット列) に対して、上記ACS演算処理の繰返し実行が終了すると、その時点で最も尤度が大きいパスメトリック値を保持する状態 (以下、最尤状態と呼ぶ) が選択される (ステップ203)。そして、この最尤状態を開始状態とし、バスマメモリに記憶されたパス選択信号に基き、パスのトレースバックが行なわれ、トレースされていく状態から復号ビットが算出される (ステップ204)。全ての復号ビットの算出が終了すると、復号ビット列のエラーチェックを行ない、エラーの有無の判定を実行する (ステップ205)。そして最後に、エラー判定結果に基いて、出力ビット列として、得られた復号ビット列を使用するか、使用しないか等が決定される (ステップ206)。

【0018】なお、畳み込み符号回路への入力ビット列は、一般には、送信データ本体に、この送信データ本体から作成されたエラーチェックビット (列) が付加されたものとなされており、復号回路において、上述したようにエラーチェックを行なうことができる。

【0019】

【発明が解決しようとする課題】上述したように、バストレーサバックは、開始状態である最尤状態が決定されると、あとはバスマメモリに格納されている情報に従って一意的に実行される。そのため、トレースバックによって得られた復号ビット列にエラーがあると判定された場合、バストレーサバックの開始時点の最尤状態の選択が正しくないことが、そのエラーの原因になっていることがある。

【0020】最尤状態が誤っている場合において、最尤状態以外の尤度が低い状態を開始状態としてバストレーサバックをするとエラーのない出力ビット列が得られることがある。しかし、復号ビット列のエラー原因を、最尤状態の選択誤りか、その他の原因かを切り分けることは困難である。このため、本発明は、最尤状態の選択誤りを検出する技術を提供する。

(4)

特開平9-232971

5

5

トレースバックを繰返し実行することが考えられる。しかし、このようにすると、正しい復号ビット列が得られるまでの時間が長くなってしまふ。特に、状態数が多い場合にはこの時間の長期化は著しい。

【0021】これを避けようとする、バストレースバックの実行構成を複数設けて、複数の状態からのバストレースバックを並列して実行することが考えられる。しかし、このようにすると、回路が複雑、大型のものになってしまう。

【0022】畳み込み符号回路における初期状態が入力ビット列によって変化する巡回入力畳み込み符号の場合には、初期状態が固定の場合より、最尤状態からのバストレースバックで得られた復号ビット列に対してエラーという判定結果が得られることが多く、上述した課題は特に問題となっている。

【0023】

【課題を解決するための手段】上記課題を解決するために、第1の本発明においては、巡回入力畳み込み符号でなる送信信号を受信し、受信信号に応じて、ACS演算処理を繰返し実行して各時刻でのパス選択情報をバスメモリに格納し、ACS演算処理の完了時に、バスメモリに格納されている情報に基づいてバストレースを実行して復号信号を得るビタビ復号方法において、ある状態からのバストレースによって得られた復号信号にエラーがあり、そのバストレースでの最終的な到達状態とその開始時の状態とが異なる場合に、最終的な到達状態を開始状態としたバストレースを実行し、この実行による復号信号をも候補として最終的に出力する復号信号を決定することを特徴とする。

【0024】また、第2の本発明においては、巡回入力畳み込み符号でなる送信信号を受信し、ACS演算手段が、受信信号に応じて、ACS演算処理を繰返し実行して各時刻でのパス選択情報をバスメモリに格納し、ACS演算処理の完了時に、バストレース制御手段が、バスメモリに格納されている情報に基づいてバストレースを実行して復号信号を得るビタビ復号回路において、(1)ある状態からのバストレースによって得られた復号信号にエラーがあるかをチェックするエラーチェック手段と、(2)そのバストレースでの最終的な到達状態とその開始時の状態とが異なるか否かを判定する状態一致判定手段とを備え、(3)エラーチェック手段が、ある状態からのバストレースによって得られた復号信号にエラーがあることを検出し、かつ、状態一致判定手段が、そのバストレースでの最終的な到達状態とその開始時の状態とが異なることを検出したとき、バストレース制御手段が、最終的な到達状態を開始状態としたバストレースを実行し、この実行による復号信号をも候補として最終的に出力する復号信号を決定する。

一があり、そのバストレースでの最終的な到達状態とその開始時の状態とが異なるときに、最終的な到達状態を開始状態としたバストレースを実行し、この実行による復号信号をも候補として最終的に出力する復号信号を決定するようにしたので、処理時間を従に長くしたり、構成を従に複雑にしたりすることなく、最終的に出力された復号信号の精度（誤り率）を向上させることができる。

【0026】

【発明の実施の形態】以下、本発明によるビタビ復号方法及び復号回路の実施形態を図面を参照しながら詳述する。なお、この実施形態は、巡回入力畳み込み符号を復号するものである。

【0027】この実施形態のビタビ復号回路は、ハードウェアだけでなく、ソフトウェアやファームウェアによって実現可能であるが、機能ブロック図で示すと、図6に示す通りである。

【0028】図6において、この実施形態のビタビ復号回路は、受信ビット列の単位入力毎に処理を行なう構成部分と、全ての受信ビット列に対する処理の終了後に復号ビット列を再生する構成部分とからなっている。前者は、枝メトリック演算部21、バスメトリックメモリ22、加算器23、比較器24、選択器25及びバスメモリ26が該当し、後者は、バスメモリ26、バストレースバック制御部27、第1の復号ビットレジスタ28、トレース到達状態レジスタ29、エラーチェック部30及び第2の復号ビットレジスタ31が該当するものである。なお、加算器23、比較器24及び選択器25は、ACS部20を構成している。

【0029】枝メトリック演算部21には、処理時刻毎に、受信ビット列の1時刻での処理単位分のビット数が入力される。例えば、上述した図3に示す符号回路に対応するものであれば、各時刻毎に2ビット（X0、X1に対応）の受信ビットが入力される。枝メトリック演算部21は、現時刻の受信ビットの内容に基づいて、枝メトリック値を計算して加算器23に与える。

【0030】バスメトリックメモリ22は、各状態について、現時刻までのバスメトリック値を格納している。

【0031】加算器23は、バスメトリックメモリ22から読出した各状態についての現時刻までのバスメトリック値に、枝メトリック演算部21から与えられた枝メトリック値を加算して、次の時刻の各状態に至るバスメトリック値を求めて比較器24及び選択器25に与える。図2（B）に一例を示したように、現時刻のある状態までのパスが1通りであっても、次の時刻のある状態までのパスは複数形成され、加算器23からのバスメトリック値も各状態について複数出力される。

【0032】比較器24は、各状態について、現時刻の

(5)

特開平9-232971

7

号をバスメモリ26に格納させる。

【0033】選択器25は、各状態について、加算器23から与えられたそれぞれ複数のバスメトリック値の中から、比較器24からのバス選択信号に応じて、尤度が最大なものを選択し、その選択した各状態のバスメトリック値をバスメトリックメモリ22に与えてメモリ内容を更新させる。

【0034】バスメモリ26には、上述したように、各時刻でのバス選択信号が格納される。このバスメモリ26に、全ての時刻のバス選択信号が格納されたとき、言い換えると、受信ビット列の全てに対するACS部20の処理が終了したとき、バストレースバック制御部27の処理が起動される。

【0035】バストレースバック制御部27は、処理が起動されたとき、バスメトリックメモリ22に格納されている各状態でのバスメトリック値に基き、尤度が最も高い状態（最尤状態）を認識し、その最尤状態を開始状態として、バスメモリ26の格納内容に基き、バストレースバックを実行するものである。

【0036】なお、バストレースバックの具体的方法については、例えば特開平8-8762号公報に詳述されている。

【0037】第1の復号ビットレジスタ28は、このときのバストレースバックによって、得られた復号ビット列を格納するものであり、トレース到達状態レジスタ29は、バストレースバックが終了したときに到達した状態（符号回路でのバッファメモリの初期状態に対応する）を格納するものである。

【0038】エラーチェック部30は、第1の復号ビットレジスタ28に格納された復号ビット列、又は、後述する第2の復号ビットレジスタ31に格納された復号ビット列に対するエラーチェックを実行し、チェック結果をバストレースバック制御部27に与えるものである。なお、この実施形態も、符号回路への入力ビット列に、送信したいビット列だけでなくエラービット列部分が存在することを前提としている。

【0039】上述したバストレースバック制御部27はまた、エラーチェック部30から、第1の復号ビットレジスタ28に格納された復号ビット列にエラーがあるというチェック結果が与えられたときには、最尤状態とトレース到達状態レジスタ29内の格納状態とを比較し、これら状態が不一致のときには、トレース到達状態レジスタ29内の格納状態を開始状態として、バスメモリ26の格納内容に基き、バストレースバックを実行するものである。

【0040】第2の復号ビットレジスタ31は、このときのバストレースバックによって、得られた復号ビット

8

スタ28に格納された復号ビット列にエラーがないというチェック結果が与えられたとき、エラーがあるというチェック結果は与えられたが最尤状態とトレース到達状態レジスタ29内の格納状態とが一致したとき、又は、エラーチェック部30から、第2の復号ビットレジスタ31に格納された復号ビット列に対するエラーチェック結果が与えられたときには、エラーチェック結果や復号ビット列に基いて出力ビット列（ない場合を含む）を決定して次段の処理回路に出力するものである。

【0042】次に、以上のような各機能部21～31からなるビタビ復号回路の動作、すなわち、実施形態のビタビ復号方法の処理を、図1のフローチャートを参照しながら詳述する。

【0043】ACS演算処理を繰返し実行し、各時刻でのバスの選択やバスメトリックの更新を行ない、このACS演算処理毎に、各状態について、その状態に達するどのバスを選択したかという情報（バス選択信号）をバスメモリ26に記憶する（ステップ101、102）。

【0044】全ての受信ビット列に対して、上記ACS演算処理の繰返し実行が終了すると、その時点で最も尤度が大きいバスメトリックを保持する最尤状態S_sを認識する（ステップ103）。そして、この最尤状態S_sを開始状態とし、バスメモリ26に記憶されたバス選択信号に基き、バスのトレースバックを行ない、トレースされる各時刻の状態から復号ビットを算出し、復号ビット列Aを得る（ステップ104）。また、トレースバックが終了したときに到達した状態S_rを認識する（ステップ105）。その後、復号ビット列Aのエラーチェックを行ない、エラーの有無の判定を実行する（ステップ106、107）。

【0045】この判定により、復号ビット列Aにエラーが存在するという結果が得られると、最尤状態S_sとトレースバックで到達した状態S_rとを比較する（ステップ108）。両状態S_s及びS_rが一致すれば、後述するステップ111に進む。一方、両状態S_s及びS_rが不一致であれば、状態S_rを開始状態とし、バスメモリ26に記憶されたバス選択信号に基き、バスのトレースバックを行ない、トレースされる各時刻の状態から復号ビットを算出し、復号ビット列Bを得（ステップ109）。その後、復号ビット列Bのエラーチェックを行ない、エラーの有無の判定を実行する（ステップ110）。

【0046】ステップ107の判定の結果が復号ビット列Aにエラーがないという結果のとき、ステップ108の判定の結果が最尤状態S_sとトレース最終到達状態S_rとが一致したという結果のとき、又は、復号ビット列Bに対するエラーチェックが終了したときには、出力ビ

9

を送出する（ステップ111）。例えば、復号ビット列Aにエラーがないときにはこの復号ビット列Aを出力ビット列とし、復号ビット列Aにエラーがあり、復号ビット列Bにエラーがないときにはこの復号ビット列Bを出力ビット列とし、復号ビット列A及びBに共にエラーがあるときには所定ルールに従って出力ビット列を決定する。

【0047】図7は、パストレースバックの具体例を説明するための状態遷移図であり、上述の図3に示した符号回路での状態遷移図に対応するものである。

【0048】今、最終時刻の状態である最尤状態として、正しくない状態2が選択されたとする。この状態2からパストレースバックを開始すると、まず、復号ビットとして「1」が得られる。図2（A）について説明したように、状態を（BF1, BF0）で定めているので、その状態を規定する2ビット中の上位ビット（バッファメモリ11に格納されているビット）はその時刻での入力ビットになっている。そのため、状態2（10）からのトレースバックで復号ビット「1」が得られる。復号ビット（入力ビット）が「1」であって状態2に遷移するので、前の時刻 $t=6$ での状態は状態1（01）である。従って、次の復号ビットとして、状態を規定する2ビット中の上位ビットの「0」が得られる。

【0049】以下、同様にして、次々と復号ビットが得られ、時刻 $t=0$ までトレースバックしたときには、復号ビット列として「000101101」（トレースバックの逆方向で並べている）が得られる。なお、先頭側の2ビット「00」は、最終到達状態（この場合、状態0）を表す2ビットであり、上述したように、巡回入力畳み込み符号の場合、符号回路の全てのバッファメモリに入力ビット列を荷たした状態を初期状態としているので、最終到達状態を表す2ビットを復号ビット列の先頭に付加している。

【0050】このように、本来の状態ではない状態2を最尤状態としてパストレースバックして得た復号ビット列「000101101」に対してエラーチェックを実行すると、エラーという結果が得られる。

【0051】そのため、1回目のパストレースバックでの最終到達状態（この場合、状態0）を、最終時刻 $t=7$ の状態としたパストレースバックが実行される。パストレースバックの開始状態が状態0（00）であるので、まず、復号ビットとして「0」が得られる。時刻 $t=7$ の状態が状態0であって、その状態0へ遷移させるビット（復号ビット）が「0」であるので、時刻 $t=6$ の状態は状態1（01）である。従って、次の復号ビットとして「0」が得られる。以下、同様にして、次々と復号ビットが得られ、時刻 $t=0$ までトレースバックし

(5)

特開平9-232971

10

【0052】以上のように、最尤状態を開始状態としたパストレースバックで得られた復号ビット列がエラーと判定された場合に、そのときのトレースバックでの最終到達状態を開始状態としたパストレースバックを実行させることとしたのは、以下の理由による。

【0053】巡回入力畳み込み符号は、上述したように入力ビット列の一部を巡回させて符号回路に入力させているので、符号回路における初期状態と最終状態とは等しくなる（以下、符号回路におけるこれらの状態と基準状態と呼ぶ）という性質を有する。従って、復号回路においても、トレースバックの最終到達状態（符号回路の初期状態に対応）と、トレースバックの開始状態（符号回路の最終状態に対応）とが等しいことが期待される。そのため、パスメトリック値が示す尤度が最も高い最尤状態からパストレースバックして得た復号ビット列にエラーが生じて、最尤状態及び最終到達状態は最尤パスに係るものである（言い換えると、図7からも分かるように、パスのかなりの部分が本来のパスに等しい可能性が高いので）、少なくとも一方が符号回路での基準状態に等しくなっている確率は非常に大きい。

【0054】復号回路では、最尤状態及び最終到達状態のいずれが基準状態になっているかを認識することができない。ここで、認識はし得ないが最尤状態が基準状態になっている場合には、最尤状態を開始状態とするパストレースバックは必ず実行されるので、エラーが生じてもこれ以上の措置を講じることはできない。最尤状態が基準状態になっていない場合には、最尤状態を開始状態とするパストレースバックで得られた最終到達状態が基準状態になっている可能性がかなり高い。

【0055】そこで、最尤状態及び最終到達状態のいずれが基準状態になっているかは認識できないが、最尤状態からパストレースバックして得た復号ビット列にエラーが生じた場合において最尤状態と最終到達状態とが異なるときには、最終到達状態を開始状態としたパストレースバックを実行し、正しい復号ビット列が得られる可能性を高めることとした。

【0056】最尤状態からパストレースバックして得た復号ビット列にエラーが生じた場合において、従来のように、エラーがない復号ビット列が得られるまで、開始状態を変えたパストレースバックを繰返し実行することは、処理時間や構成の面の課題は大きい。この実施形態では、パストレースバックを多くても2回しか実行しないので、処理時間や構成の面の不都合はほとんど生じない。

【0057】また、最尤状態からパストレースバックして得た復号ビット列にエラーが生じた場合において、パスメトリック値が示す尤度が2番目に大きいパスの最終到達状態が基準状態になっている場合には、

(7)

特開平9-232971

11

生じた受信ビット列の位置によっては、2番目以降の尤度が近接した値となり、本来のバスと異なる部分が多いバスが2番目の尤度のバスと選定されることもあり、巡回入力畳み込み符号の性質を利用した実施形態の方法より、復号ビット列の精度向上の度合いは劣ると考えられる。

【0058】図8は、北米におけるTDMA方式を採用しているデジタル移動通信システムにおいて、FACCH信号を復号した場合のシミュレーション結果を示した特性図である。ここで、縦軸は誤り率(FACCH WER)を示し、横軸は隣接チャネルとの干渉の強さ(CIR)を示している。

【0059】この図8からは、隣接チャネルとの干渉の強さが同じ場合、この実施形態による誤り率(図面では◇で示している)の方が、最尤状態を開始状態とするバストレースバックだけを行なう従来での誤り率(図面では×で示している)より約4～10dB改善されているが分かる。

【0060】以上のように、上記実施形態によれば、最尤状態を開始状態としたバストレースバックで得られた復号ビット列にエラーがあり、そのバストレースバックにより最終的に到達した状態と最尤状態とが異なるときに、最終到達状態を開始状態としたバストレースバックを行ない、2回のバストレースバックによって得られた2種類の復号ビット列に基づき、最終的に出力する復号ビット列を決定するようにしたので、処理時間の長期化や構成の複雑化をほとんど生じさせることなく、最終的に出力する復号ビット列の精度を従来に比較して格段的に高めることができる。

【0061】特に、各時刻での状態数が多いシステムにおいては、最尤状態を開始状態としたバストレースバックで得られた復号ビット列にエラーが生じる可能性が大きいので、上記実施形態は有効である。

【0062】なお、上記実施形態においては、バストレース方式として、バストレースバック方式を採用しているビタビ復号方法及び回路について説明したが、バストレース方式として、バストレースフォワード方式を採用しているビタビ復号方法及び回路に本発明を適用することができる。ここで、バストレースフォワード方式とは、バストレースバック方式と受信ビットの順番を逆に

12

* 理の完了時に、前方からバストレースを行なう方式である。

【0063】また、上記実施形態においては、バストレースを多くても2回行なうものを示したが、最大実行回数が3回以上であっても良い。但し、2回目以上のバストレースは、直前のバストレースによる復号ビット列にエラーが生じていること、直前のバストレースでの最終到達状態が今までバストレースの開始状態にされたことがないものであることを条件に実行される。

【0064】

【発明の効果】以上のように、本発明によれば、ある状態を開始状態としたバストレースによって得られた復号信号にエラーがあり、そのバストレースでの最終的な到達状態とその開始状態とが異なるときに、最終的な到達状態を開始状態としたバストレースを再度実行し、この実行による復号信号をも候補として最終的に出力する復号信号を決定するようにしたので、処理時間を徒に長くしたり、構成を徒に複雑にしたりすることなく、最終的に出力された復号信号の精度(誤り率)を向上させることができる。

【図面の簡単な説明】

【図1】実施形態のビタビ復号方法を示すフローチャートである。

【図2】畳み込み符号回路の構成例及び単位時間での状態遷移を示す説明図である。

【図3】畳み込み符号回路の全期間の状態遷移を示す説明図である。

【図4】巡回入力畳み込み符号の説明図である。

【図5】従来のビタビ復号方法を示すフローチャートである。

【図6】実施形態のビタビ復号回路を示すブロック図である。

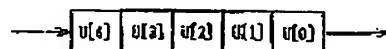
【図7】実施形態のバストレースバックの説明図である。

【図8】実施形態の効果の説明図である。

【符号の説明】

20…ACS部、21…枝メトリック演算部、22…バスメトリックメモリ、26…バスメモリ、27…バストレースバック制御部、28、31…復号ビットレジスタ、29…到達状態レジスタ、30…エラーチェック部。

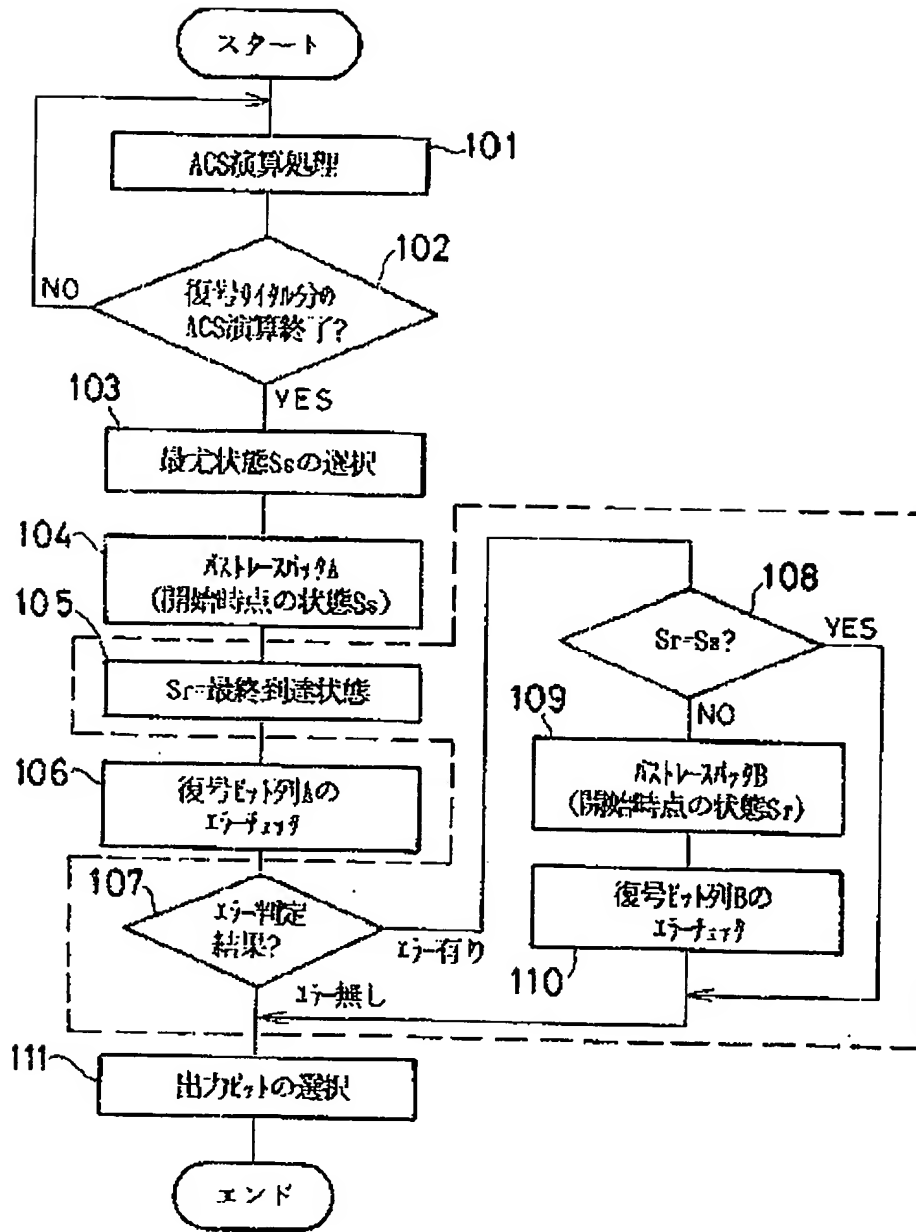
【図4】



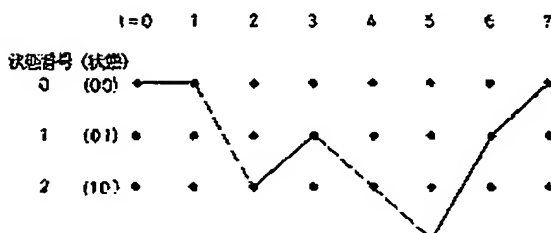
(8)

特開平9-232971

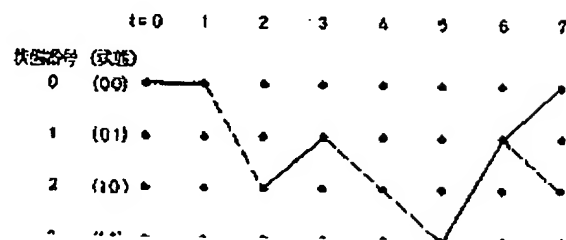
【図1】



【図3】



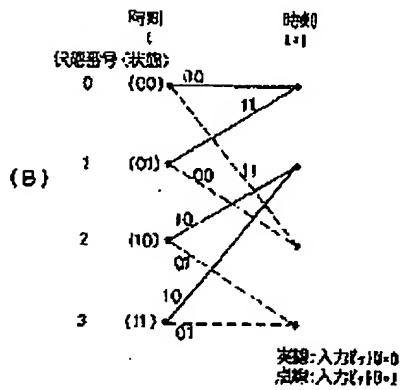
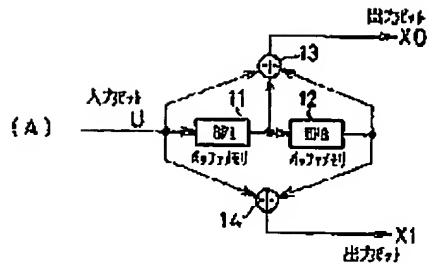
【図7】



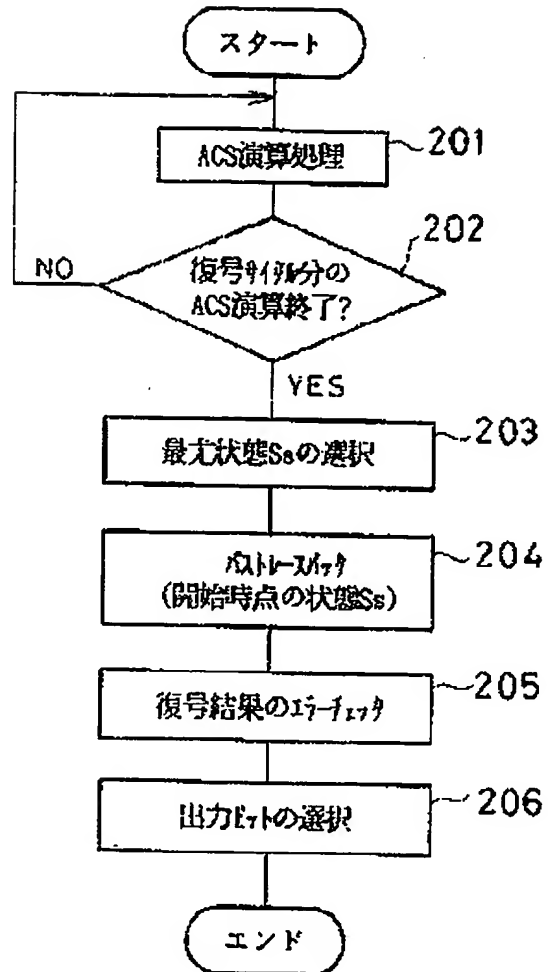
(9)

特開平9-232971

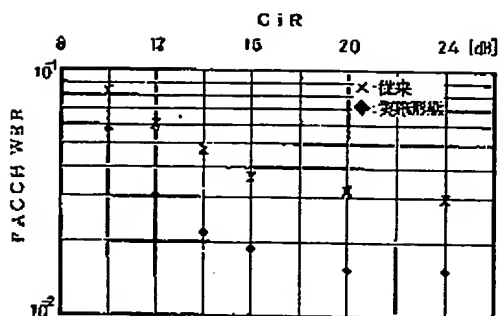
【図2】



【図5】



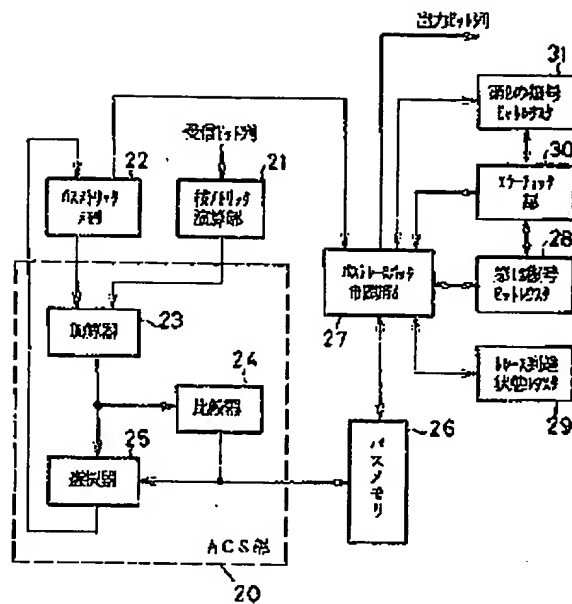
【図8】



(10)

特開平9-232971

【図6】



特開平9-232971

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成13年4月27日(2001.4.27)

【公開番号】特開平9-232971
 【公開日】平成9年9月5日(1997.9.5)
 【年通号数】公開特許公報9-2330
 【出願番号】特願平8-36294
 【国際特許分類第7版】
 H03M 13/23
 【FI】
 H03M 13/12

【手続補正書】
 【提出日】平成12年1月21日(2000.1.21)
 【補正対象項目名】図6
 【補正方法】変更
 【補正内容】
 【図6】

